

HETEROJUNCTION SEMICONDUCTOR DEVICE

6. W1321-02

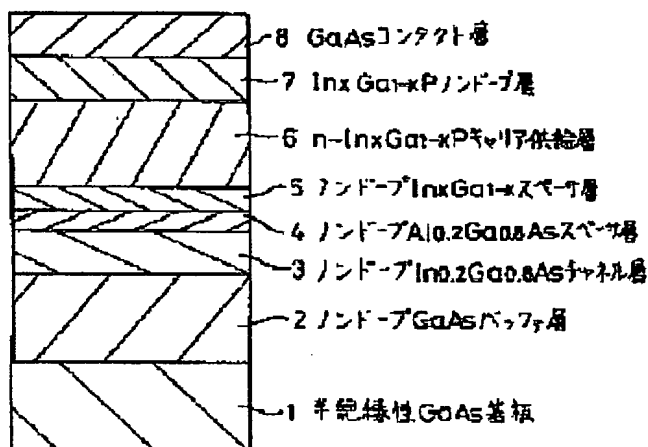
Patent number: JP6045368
Publication date: 1994-02-18
Inventor: RIYUUJI AKIRA; others: 01
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- international: H01L21/338; H01L29/812
- european:
Application number: JP19920197350 19920724
Priority number(s):

Report a data error here

Abstract of JP6045368

PURPOSE: To improve mobility of two-dimensional electron gas which is generated in a heterojunction interface in a high electron mobility transistor (HEMT) having a structure wherein a spacer layer is interposed between an InGaAs channel layer and an n-InGaP carrier supply layer.

CONSTITUTION: A nondoped $\text{In}_x\text{Ga}_{1-x}\text{P}$ spacer layer 5 and an n- $\text{In}_x\text{Ga}_{1-x}\text{P}$ carrier supply layer 6 are formed on a nondoped $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ channel layer 3 with a nondoped $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ spacer layer 4 between to make an interface between a spacer layer and a channel layer steep and clean.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2994863号

(45) 発行日 平成11年(1999)12月27日

(24) 登録日 平成11年(1999)10月22日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 29/778

H 0 1 L 29/80

H

21/338

29/812

請求項の数 2 (全 5 頁)

(21) 出願番号 特願平4-197350

(22) 出願日 平成4年(1992)7月24日

(65) 公開番号 特開平6-45368

(43) 公開日 平成6年(1994)2月18日

審査請求日 平成9年(1997)12月2日

(73) 特許権者 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 龍治 彰

大阪府門真市大字門真1006番地 松下電
器産業株式会社内

(72) 発明者 井上 薫

大阪府門真市大字門真1006番地 松下電
器産業株式会社内

(74) 代理人 弁理士 前田 弘 (外2名)

審査官 菅野 智子

(56) 参考文献 特開 平5-74819 (J P, A)

最終頁に続く

(54) 【発明の名称】 ヘテロ接合半導体装置

1

(57) 【特許請求の範囲】

【請求項1】 GaAs基板上に形成されたノンドープのInGaAsからなるチャンネル層と、前記チャンネル層に接するように形成されたノンドープのAlGaAsからなる最下層を少なくとも有するスペーサ層と、前記スペーサ層上に形成されたn型のInGaPからなるキャリア供給層とを備えたことを特徴とするヘテロ接合半導体装置。

【請求項2】 GaAs基板上に形成されたn型のIn 10 GaPからなるキャリア供給層と、ノンドープのAlGaAsからなる最上層を少なくとも有するように前記キャリア供給層上に形成されたスペーサ層と、前記スペーサ層中のノンドープのAlGaAsからなる

2

最上層に接するように形成されたノンドープのInGaAsからなるチャンネル層とを備えたことを特徴とするヘテロ接合半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高電子移動度トランジスタ等のヘテロ接合を備えた半導体装置に関するものである。

【0002】

【従来の技術】 ノンドープのGaAs層上にn型のAlGaAs層を形成したときにそのヘテロ接合界面に発生する高い移動度の2次元電子ガスの濃度をゲート電極により制御する高電子移動度トランジスタ（以下、HEMTという。）が考案されている。このHEMTは、高速スイッチング素子、マイクロ波素子として有望なので、

その特性をさらに向上させるために構造面、および材料面から研究が盛んに行われている。

【0003】まず、構造面では、GaAsと $Al_xGa_{1-x}As$ との間に $In_yGa_{1-y}As$ を入れたヘテロ構造を有する $n-AlGaAs/InGaAs/GaAs$ 系Pseudo morphic HEMTがある。従来のHEMTでは $x=0.3$ 近傍を用いるためにDXセンターが多量に存在し、素子特性に悪影響を及ぼしていたが、このHEMTでは $x=0.15$ 、 $y=0.15$ 程度を用いるためDXセンターの影響は少なく、かつAlGaAsとInGaAsとの間に十分大きなコンダクションバンドオフセットがあるため、デバイス動作に必要なキャリアが確保される。また、チャンネルとなるInGaAsはGaAsと格子不整合であるが、その厚みを臨界膜厚以下とするため、転位のないstrained layerとなり、従来のGaAsをチャンネルとしたHEMTよりも電子輸送特性が向上する。

【0004】次に、材料面では、GaAs基板に替わってInP基板を用い、InPに格子整合したInGaAsとn型のInAlAsからなるヘテロ構造を有する $n-InAlAs/InGaAs$ 系HEMTがある。この系は、従来のHEMTよりもそれぞれ高い電子移動度、電子飽和速度および2次元電子ガス濃度を示すため、より高性能なHEMTを実現できるものとして注目されている。また、従来からキャリア供給層として用いられてきたn型AlGaAsの代わりにn型InGaPを用いてヘテロ構造を形成した $n-InGaP/GaAs$ 系HEMTもある。n型 $In_{0.49}Ga_{0.51}P$ はGaAsに格子整合し、AlGaAsで問題となるDXセンターは存在しない。またGaAs系に対して選択的にエッチングが可能のため、プロセス上も優れた材料である。GaAsとのコンダクションバンドオフセットが比較的小さいため、GaAsとInGaPとの間にInGaAsを入れたヘテロ構造を有する $n-InGaP/InGaAs/GaAs$ 系Pseudomorphic HEMTも高性能なHEMTとして有望視されている。

【0005】ところで、このように接合面の垂直方向に運動の自由度のない実質的には2次元チャンネルが形成された構造のHEMTの動作にとって、ヘテロ接合界面近傍の結晶性の良否、急峻性は非常に重要である。

【0006】InGaPをキャリア供給層に用いた $n-InGaP/InGaAs/GaAs$ 系Pseudo morphic HEMTを第1の従来例として図3に示す。図3において、1は半絶縁性GaAs基板、2は膜厚が500nmのノンドープGaAsバッファ層、3は膜厚が15nmのノンドープ $In_{0.49}Ga_{0.51}As$ チャンネル層、5は膜厚が5nmのノンドープ $In_xGa_{1-x}P$ スペーサ層、6は膜厚が35nmの $n-In_xGa_{1-x}P$ キャリア供給層、7は膜厚が10nmの $In_xGa_{1-x}P$ ノンドープ層、8は膜厚が10nmのGaAs

sコンタクト層であり、5、6、7の各層はGaAsに対して格子整合する条件である $x=0.49$ 、またはショットキバリアハイトを大きくしかつ2次元電子ガス濃度を高めるために $x=0.45$ 程度で形成されている。

【0007】この構造によれば、キャリア供給層6からチャンネル層3へ電子が供給される結果、該チャンネル層3に高移動度の2次元電子ガスが形成される。

【0008】同じくInGaPをキャリア供給層に用いた $n-InGaP/InGaAs/GaAs$ 系Pseudo morphic 逆HEMTを第2の従来例として図4に示す。図4において、1は半絶縁性GaAs基板、9は膜厚が100nmのノンドープGaAsバッファ層、10は膜厚が200nmのノンドープ $In_xGa_{1-x}P$ バッファ層、11は膜厚が35nmの $n-In_xGa_{1-x}P$ キャリア供給層、12は膜厚が5nmのノンドープ $In_xGa_{1-x}P$ スペーサ層、14は膜厚が15nmのノンドープ $In_{0.49}Ga_{0.51}As$ チャンネル層、15は膜厚が100nm程度のGaAsノンドープ層、16は膜厚が10nmのGaAsコンタクト層であり、10、11、12の各層はGaAsに対して格子整合する条件である $x=0.49$ で形成されている。

【0009】この構造の場合でも、キャリア供給層11からチャンネル層14へ電子が供給される結果、該チャンネル層14に高移動度の2次元電子ガスが形成される。

【0010】

【発明が解決しようとする課題】しかしながら上記のような構造を例えば分子線エピタキシ法で形成する場合、まず図3に示す第1の従来例では、チャンネル層3の形成後にスペーサ層5を形成する際に、チャンパー内に残留しやすいAsがスペーサ層5に取り込まれるためInGaAsP混晶からなる遷移領域17が形成される結果、急峻なInGaAs/InGaPヘテロ接合が得られない。また、図4に示す第2の従来例では、スペーサ層12の形成後にチャンネル層14を形成する際に、チャンパー内に残留しやすいPがチャンネル層14に取り込まれるためInGaAsP混晶からなる遷移領域18が形成される結果、急峻なInGaP/InGaAsヘテロ接合がやはり得られない。また、InGaAsとInGaPではInとGaのビーム強度比が異なるため、成長中断を余儀なくされることとなる。この成長中断の間チャンネル近傍に炭素が付着するため、あるいはAsやPの再蒸発が起こるため清浄な界面が得られない。これらのことは有機金属気相成長法においてもあてはまることである。以上の理由から十分に高い移動度が得られないという問題点を有していた。

【0011】本発明の目的は、ヘテロ接合界面に発生する2次元電子ガスの移動度を高めることにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明は、InGaAsチャンネル層に対して同じA

s系材料であるAlGaAsからなるスペーサ層を相接して形成することにより、急峻なヘテロ接合を実現することとしたものである。

【0013】具体的には、請求項1の発明は、GaAs基板上に形成されたノンドープのInGaAsからなるチャンネル層と、該チャンネル層に接するように形成されたノンドープのAlGaAsからなる最下層を少なくとも有するスペーサ層と、該スペーサ層上に形成されたn型のInGaPからなるキャリア供給層とを備えた構成を採用したものである。

【0014】また、請求項2の発明は、GaAs基板上に形成されたn型のInGaPからなるキャリア供給層と、ノンドープのAlGaAsからなる最上層を少なくとも有するように前記キャリア供給層上に形成されたスペーサ層と、該スペーサ層中のノンドープのAlGaAsからなる最上層に接するように形成されたノンドープのInGaAsからなるチャンネル層とを備えた構成を採用したものである。

【0015】

【作用】本発明によれば、上記した構造によって、電子が閉じこめられかつ電子が走行するチャンネル層とスペーサ層とのヘテロ接合が急峻かつ清浄な接合となるので、十分に高い移動度が得られることになる。

【0016】

【実施例】以下、本発明の2つの実施例に係るヘテロ接合半導体装置について、図面を参照しながら説明する。

【0017】図1は、本発明の第1の実施例に係るヘテロ接合半導体装置の断面構造を示すものであって、前記第1の従来例(図3)に対応するものである。図1にお

いて、1は半絶縁性GaAs基板、2は膜厚が500nmのノンドープGaAsバッファ層、3は膜厚が15nmのノンドープIn_{0.2}Ga_{0.8}Asチャンネル層、4は本発明の中心となる膜厚が3nmのノンドープAl_{0.2}Ga_{0.8}Asからなる第1のスペーサ層、5は膜厚が2nmのノンドープIn_xGa_{1-x}Pからなる第2のスペーサ層、6は膜厚が35nmでn型不純物を $2 \times 10^{18} \text{ cm}^{-3}$ 程度ドープしたn-In_xGa_{1-x}Pキャリア供給層、7は膜厚が10nmのIn_xGa_{1-x}Pノンドープ層、8は膜厚が10nmでn型不純物を $5 \times 10^{18} \text{ cm}^{-3}$ 程度ドープしたGaAsコンタクト層であり、5、6、7の各層はGaAsに対して格子整合する条件である $x=0.49$ または $x=0.45$ で形成されている。

【0018】以上のように構成されたヘテロ接合半導体装置によれば、キャリア供給層6から2層のスペーサ層5、4を介してチャンネル層3へ電子が供給される結果、該チャンネル層3に高移動度の2次元電子ガスが形成される。このとき、ノンドープAl_{0.2}Ga_{0.8}Asからなる第1のスペーサ層4を設けたことにより、従来とは違って残留するAsがノンドープIn_xGa_{1-x}Pからなる第2のスペーサ層5に取り込まれることはほとんどなく、急峻かつ清浄なInGaAs/AlGaAsヘテロ接合が形成される結果、十分に高い電子移動度が期待される。その効果について、Inの組成を $x=0.45$ としたときのキャリア濃度と電子移動度とを従来例との比較のために表1および表2に示す。

【0019】

【表1】

測定温度	77 K	
測定項目	キャリア濃度	移動度
従来例	$1.3 \times 10^{12} \text{ cm}^{-2}$	$11151 \text{ cm}^2 / \text{Vs}$
本発明	$1.2 \times 10^{12} \text{ cm}^{-2}$	$19101 \text{ cm}^2 / \text{Vs}$

【表2】

測定温度	300 K	
測定項目	キャリア濃度	移動度
従来例	$9.4 \times 10^{11} \text{ cm}^{-2}$	$3874 \text{ cm}^2 / \text{Vs}$
本発明	$1.2 \times 10^{12} \text{ cm}^{-2}$	$4754 \text{ cm}^2 / \text{Vs}$

【0020】図2は、本発明の第2の実施例に係るヘテロ接合半導体装置の断面構造を示すものであって、前記第2の従来例(図4)に対応するものである。図2において、1は半絶縁性GaAs基板、9は膜厚が100nmのノンドープGaAsバッファ層、10は膜厚が200nmのノンドープIn_xGa_{1-x}Pバッファ層、11

は膜厚が35nmでn型不純物を $2 \times 10^{18} \text{ cm}^{-3}$ 程度ドープしたn-In_xGa_{1-x}Pキャリア供給層、12は膜厚が2nmのノンドープIn_xGa_{1-x}Pからなる第1のスペーサ層、13は本発明の中心となる膜厚が3nmのノンドープAl_{0.2}Ga_{0.8}Asからなる第2のスペーサ層、14は膜厚が15nmのノンドープIn

0.2 Ga_{0.8}Asチャネル層、15は膜厚が100nmのGaAsノンドープ層、16は膜厚が10nmでn型不純物を $5 \times 10^{18} \text{ cm}^{-3}$ 程度ドープしたGaAsコンタクト層であり、10、11、12の各層はGaAsに対して格子整合する条件である $x = 0.49$ で形成されている。

【0021】以上のように構成されたヘテロ接合半導体装置によれば、キャリア供給層11から2層のスペーサ層12、13を介してチャネル層14へ電子が供給される結果、該チャネル層14に高移動度の2次元電子ガスが形成される。このとき、ノンドープAl_{0.2}Ga_{0.8}Asからなる第2のスペーサ層13を設けたことにより、従来とは違って残留するPがノンドープIn_{0.2}Ga_{0.8}Asからなるチャネル層14に取り込まれることはほとんどなく、急峻かつ清浄なAlGaAs/InGaAsヘテロ接合が形成され、十分に高い電子移動度が実現される。

【0022】なお、上記両実施例において、チャネル層3、14を構成するノンドープIn_xGa_{1-x}AsのInの組成 x は0.2、膜厚は15nmとしたが、 x で決まる臨界膜厚以下の膜厚であればどのような x と膜厚の組み合わせでもよい。また、 $x = 0$ であるGaAsでもよい。

【0023】また、チャネル層3、14と接するスペーサ層4、13を構成するノンドープAl_yGa_{1-y}AsのAlの組成 y は0.2としたが、どのような y の値を用いてもよい。また、その膜厚を3nmとしたが、この限りではない。

【0024】ノンドープInGaPからなるスペーサ層5、12の膜厚を2nmとしたがこの限りではなく、な

くてもよい。

【0025】

【発明の効果】以上説明してきたとおり、本発明によれば、InGaAsチャネル層と接するようにAlGaAs*

*sスペーサ層を形成した構成を採用したので、電子が閉じこめられかつ電子が走行するチャネル層とスペーサ層とのヘテロ接合が急峻かつ清浄な接合となる結果、十分に高い2次元電子ガスの移動度が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るヘテロ接合半導体装置の断面図である。

【図2】本発明の第2の実施例に係るヘテロ接合半導体装置の断面図である。

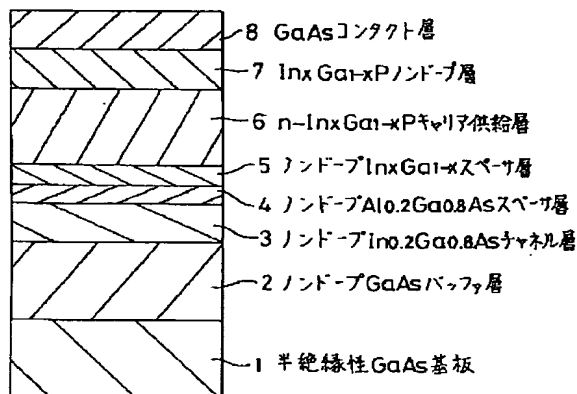
10 【図3】第1の従来例に係るヘテロ接合半導体装置の断面図である。

【図4】第2の従来例に係るヘテロ接合半導体装置の断面図である。

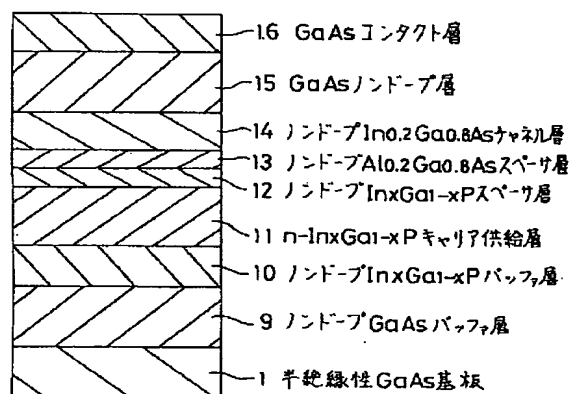
【符号の説明】

- 1 半絶縁性GaAs基板
- 2 ノンドープGaAsバッファ層
- 3 ノンドープIn_{0.2}Ga_{0.8}Asチャネル層
- 4 ノンドープAl_{0.2}Ga_{0.8}Asスペーサ層
- 5 ノンドープIn_xGa_{1-x}Pスペーサ層
- 6 n-In_xGa_{1-x}Pキャリア供給層
- 7 In_xGa_{1-x}Pノンドープ層
- 8 GaAsコンタクト層
- 9 ノンドープGaAsバッファ層
- 10 ノンドープIn_xGa_{1-x}Pバッファ層
- 11 n-In_xGa_{1-x}Pキャリア供給層
- 12 ノンドープIn_xGa_{1-x}Pスペーサ層
- 13 ノンドープAl_{0.2}Ga_{0.8}Asスペーサ層
- 14 ノンドープIn_{0.2}Ga_{0.8}Asチャネル層
- 15 GaAsノンドープ層
- 16 GaAsコンタクト層
- 17 Asの取り込みにより形成されたInGaAsP（遷移領域）
- 18 Pの取り込みにより形成されたInGaAsP（遷移領域）

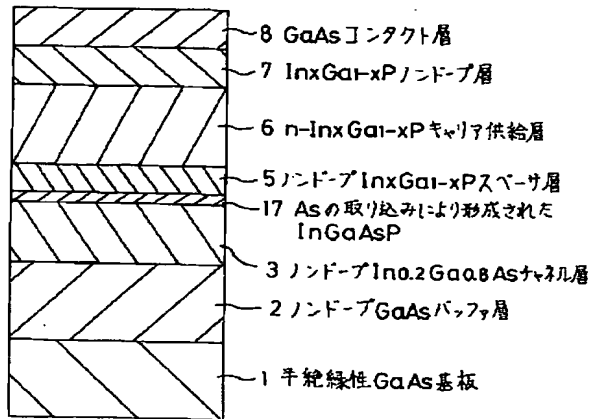
【図1】



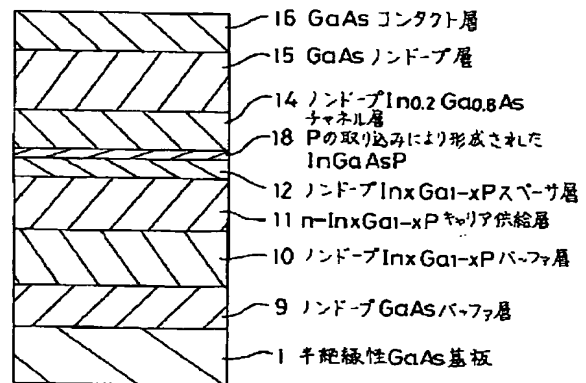
【図2】



【図3】



【図4】



フロントページの続き

(58)調査した分野(Int.Cl.⁵, DB名)

H01L 29/775 - 29/778

H01L 21/337 - 21/338

H01L 29/80 - 29/812